

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は、下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 1 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 6 4 6 8 6
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 6 4 6 8 6]

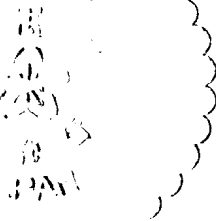
出 願 人 株式会社ルネサステクノロジ
Applicant(s): 株式会社ルネサス東日本セミコンダクタ

U.S. Appln. Filed 12-9-03

Inventor: M. Ito et al

Mattingly Stanger & Major

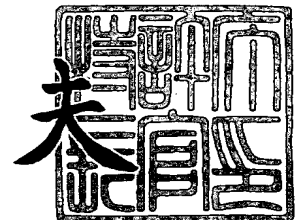
Docket Y00-261-OES



2 0 0 3 年 1 0 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 H02016831

【提出日】 平成14年12月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 伊藤 護

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 武藤 晃

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 山田 富男

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 遠藤 恒雄

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 小西 聡

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 上原 一昭

【発明者】

【住所又は居所】 東京都青梅市藤橋三丁目 3 番地 2 株式会社東日本セミ
コンダクタテクノロジーズ内

【氏名】 伊田 勤

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 小平 好二

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 中嶋 浩一

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233527

【氏名又は名称】 株式会社東日本セミコンダクタテクノロジーズ

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体チップが搭載された金属板と、
前記半導体チップと電氣的に接続された複数のリードと、
前記半導体チップと前記複数のリードの一部とを封止する封止体とを有し、
前記封止体の外側の前記リードに、前記リードの引き出し方向に細長く延在するスリットが形成されていることを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置であって、前記リードは、インナリードおよびアウトリードからなり、前記アウトリードのみに前記スリットが形成されていることを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置であって、前記リードは、インナリードおよびアウトリードからなり、前記リードのアウトリードに曲げ部が形成されていることを特徴とする半導体装置。

【請求項 4】 請求項 3 記載の半導体装置であって、前記曲げ部に前記スリットが形成されていることを特徴とする半導体装置。

【請求項 5】 請求項 1 記載の半導体装置であって、前記金属板はヒートシンクであることを特徴とする半導体装置。

【請求項 6】 請求項 1 記載の半導体装置であって、前記封止体は封止用樹脂によって形成されていることを特徴とする半導体装置。

【請求項 7】 請求項 1 記載の半導体装置であって、前記リードは、インナリードおよびアウトリードからなり、前記スリットによって分割された複数の個片アウトリードそれぞれの先端において、隣接する前記個片アウトリード同士が接続されていることを特徴とする半導体装置。

【請求項 8】 請求項 1 記載の半導体装置であって、前記半導体チップの電極と前記リードとが金属ワイヤによって電氣的に接続されていることを特徴とする半導体装置。

【請求項 9】 請求項 1 記載の半導体装置であって、前記金属板と前記リードは重なり部分を有していることを特徴とする半導体装置。

【請求項 10】 請求項 1 記載の半導体装置であって、前記半導体チップの出力は 30 ワット以上であることを特徴とする半導体装置。

【請求項 11】 請求項 1 記載の半導体装置であって、前記半導体チップは M I S F E T を含み、前記リードは、一方が前記 M I S F E T のゲート電極で、他方がドレイン電極であることを特徴とする半導体装置。

【請求項 12】 半導体チップが搭載された金属板と、
前記半導体チップと電氣的に接続されたインナリードとこのインナリードに繋がるアウトリードとを有し、前記アウトリードに曲げ部が形成された複数のリードと、

前記半導体チップと前記複数のリードの一部とを封止し、封止用樹脂によって形成された封止体とを有し、

前記封止体の外側の前記リードに、前記リードの引き出し方向に細長く延在するスリットが形成され、

前記曲げ部に前記スリットが形成され、前記スリットによって分割された複数の個片アウトリードそれぞれの先端において、隣接する前記個片アウトリード同士が接続されていることを特徴とする半導体装置。

【請求項 13】 半導体チップが搭載され、端部に凹部が形成された金属板と、

前記半導体チップと電氣的に接続された複数のリードと、
前記半導体チップと前記複数のリードの一部とを封止する封止体とを有し、
前記複数のリードそれぞれの一端が前記金属板の前記凹部上に配置されていることを特徴とする半導体装置。

【請求項 14】 請求項 13 記載の半導体装置であって、前記複数のリードそれぞれと前記金属板との間に絶縁体が配置されていることを特徴とする半導体装置。

【請求項 15】 請求項 14 記載の半導体装置であって、前記絶縁体は、前記封止体であることを特徴とする半導体装置。

【請求項 16】 請求項 13 記載の半導体装置であって、前記複数のリードのインナリードと、前記金属板を支持する金属板吊り部とが同一高さに配置され

ていることを特徴とする半導体装置。

【請求項 17】 半導体チップが搭載された金属板と、
前記半導体チップと電氣的に接続された複数のリードと、
前記半導体チップと前記複数のリードの一部とを封止する封止体とを有し、
前記複数のリードそれぞれにおける前記封止体の外側に、前記リードの引き出し方向に細長く延在するスリットが形成された半導体装置の製造方法であって、
前記半導体装置の選別検査を行う工程を含み、前記選別検査の前に前記スリットを形成することを特徴とする半導体装置の製造方法。

【請求項 18】 半導体チップが搭載された金属板と、
前記半導体チップと電氣的に接続された複数のリードと、
前記半導体チップと前記複数のリードの一部とを封止する封止体とを有し、
前記複数のリードそれぞれにおける前記封止体の外側に、前記リードの引き出し方向に細長く延在するスリットが形成された半導体装置の製造方法であって、
前記リードのアウタリードに曲げ部を形成する工程を含み、前記曲げ部を形成する前に前記スリットを形成することを特徴とする半導体装置の製造方法。

【請求項 19】 請求項 18 記載の半導体装置の製造方法であって、前記リードはインナリードおよびアウタリードからなり、
前記スリットはアウタリード部のみに形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体製造技術に関し、特に、高出力の半導体チップが組み込まれた半導体装置およびその製造方法に適用して有効な技術に関する。

【0002】

【従来の技術】

従来の大電力消費の樹脂封止タイプの半導体装置では、封止樹脂内の半導体素子搭載部であるアイランドから封止樹脂外に延びる放熱板にスリット状の孔部を形成し、前記孔部に封止樹脂が配置されている（例えば、特許文献 1 参照）。

【 0 0 0 3 】

また、大電力の半導体チップを放熱板に搭載し、かつボンディングワイヤで半導体チップと電氣的に接続された幅広のリードを有する半導体装置において、幅広のリードに2つの孔部を設け、一方の孔部を樹脂周壁内に埋没させ、他方の孔部を樹脂周壁外に設けている（例えば、特許文献2 参照）。

【 0 0 0 4 】

さらに、モールド樹脂の縁に沿って幅広の放熱用リードに複数の孔を設けている（例えば、特許文献3 参照）。

【 0 0 0 5 】**【特許文献1】**

特開 2 0 0 0 - 3 4 9 2 1 8 号公報（第4 頁、図2）

【 0 0 0 6 】**【特許文献2】**

特開 2 0 0 2 - 7 6 1 5 8 号公報（第7 頁、図6）

【 0 0 0 7 】**【特許文献3】**

特開平 1 1 - 3 3 0 8 5 9 号公報（第4 頁、図2）

【 0 0 0 8 】**【発明が解決しようとする課題】**

動作周波数が高く、高出力の半導体チップを有する半導体装置では、幅広のリードを採用することが有効であるが、電極容量の確保とリードストレスに問題を生じる。

【 0 0 0 9 】

そこで、本発明者は、電極容量の確保とリードストレスに有効な手段としてセラミック板を組み込んだセラミックパッケージを検討したが、リードをセラミック板に銀ロウ付けによって接続しなければならず、銀ロウ付けに手間がかかり、さらに材料コストの高いヒートシンクを用いなければならぬため、パッケージコストが高いことが問題である。

【 0 0 1 0 】

また、セラミックパッケージでは、気密テストと異物封入テストが必要となり、パッケージの組み立てコストが高くなることが問題である。

【0011】

なお、前記特許文献1と特許文献3に示す構造では、リードに設けられた孔が封止樹脂の内側と外側に跨がっているため、封止体の外側の孔の一部に封止用樹脂が流れ込み、パッケージ組み立て後に樹脂片が脱落してパッケージ実装時などに悪影響を及ぼすことが問題となる。

【0012】

本発明の目的は、リードストレスを緩和して信頼性の向上を図る半導体装置およびその製造方法を提供することにある。

【0013】

本発明のその他の目的は、電極容量の確保を図る半導体装置およびその製造方法を提供することにある。

【0014】

さらに、本発明のその他の目的は、コストの低減化を図る半導体装置およびその製造方法を提供することにある。

【0015】

さらに、本発明のその他の目的は、レジンバリの発生を低減する半導体装置およびその製造方法を提供することにある。

【0016】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0017】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0018】

すなわち、本発明は、半導体チップが搭載された金属板と、前記半導体チップと電氣的に接続された複数のリードと、前記半導体チップと前記複数のリードの

一部とを封止する封止体とを有し、前記複数のリードそれぞれにおける前記封止体の外側に、前記リードの引き出し方向に細長く延在するスリットが形成されているものである。

【0019】

また、本発明は、半導体チップが搭載された金属板と、前記半導体チップと電氣的に接続された複数のリードと、前記半導体チップと前記複数のリードの一部とを封止する封止体とを有し、前記複数のリードそれぞれにおける封止体の外側に、前記リードの引き出し方向に細長く延在するスリットが形成された半導体装置の製造方法であり、前記半導体装置の選別検査を行う工程を含み、少なくとも前記選別検査の前に前記スリットを形成するものである。

【0020】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0021】

図1は本発明の実施の形態の半導体装置の構造の一例を示す斜視図、図2は図1のA-A線に沿って切断した断面図と静電容量形成状態を示す部分拡大断面図、図3は図1に示す半導体装置の基板への実装状態の一例を示す平面図、図4は図3のA-A線に沿って切断した断面の構造を拡大して示す部分拡大断面図、図5は図1に示す半導体装置に搭載される伝送線路基板の構造の一例を示す平面図、図6は図5に示す伝送線路基板の構造を示す側面図、図7は図1に示す半導体装置の組み立てに用いられるヒートシンクの構造の一例を示す平面図、図8は図7に示すヒートシンクの長手方向の構造を示す側面図、図9は図7に示すヒートシンクの幅方向の構造を示す側面図、図10はリードフレームの構造の一例を示す平面図、図11は図10に示すリードフレームの長手方向の構造を示す側面図、図12は図10に示すリードフレームの幅方向の構造を示す側面図、図13はリードフレームとヒートシンクを接合したステム構造の一例を示す平面図、図14は図13に示すステム構造の長手方向の構造を示す側面図、図15は図13に

示すステム構造の幅方向の構造を示す側面図、図 16 はダイボンディング後の構造の一例を示す平面図、図 17 は伝送線路基板搭載後の構造の一例を示す平面図、図 18 はワイヤボンディング後の構造の一例を示す平面図、図 19 は樹脂モールドリング後の構造の一例を示す平面図、図 20 はリード切断後の構造の一例を示す平面図、図 21 は図 20 に示す構造の側面図、図 22 はリード成形後の構造の一例を示す平面図、図 23 は図 22 に示す構造の側面図、図 24 は金属板吊り部切断後の構造の一例を示す平面図、図 25 は図 24 に示す構造の側面図、図 26 は比較例の半導体装置の組み立ての樹脂モールドリングによって発生するレジンバリの付着状態の構造を示す平面図、図 27 は図 26 に示すレジンバリのリード表面への付着状態を示す部分拡大平面図、図 28 は図 1 に示す半導体装置の組み立てにおける樹脂モールドリング時の金型クランプ状態の構造の一例を示す断面図、図 29 は選別状態の構造の一例を示す平面図、図 30 は図 29 の A-A 線に沿って切断した断面の構造を示す部分拡大断面図、図 31 は図 1 に示す半導体装置におけるインナリードと金属板吊り部の高さの関係を示す部分断面図、図 32 および図 33 はそれぞれ本発明の変形例の半導体装置におけるインナリードと金属板吊り部の高さの関係を示す部分断面図である。

【0022】

図 1、図 2 に示す本実施の形態の半導体装置は、動作周波数が高く、かつ高出力の半導体チップを有した樹脂封止型の半導体パッケージであり、ここでは、前記半導体装置の一例として、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 6 を取り上げて説明する。

【0023】

なお、本実施の形態の MOSFET 6 は、例えば、携帯電話機の基地局に設置されるものであり、主に、0.8～2GHz 帯で使用され、30W (ワット) 以上の高出力の半導体チップを搭載している。ただし、250W クラスの高出力特性が要求される場合もある。

【0024】

MOSFET 6 の構成について説明すると、複数の半導体チップが搭載された金属板であるヒートシンク 5 と、前記半導体チップと電氣的に接続された複数の

インナリード 1 a と、前記複数の半導体チップと複数のインナリード 1 a とを樹脂封止する封止体 3 と、前記半導体チップの電極とこれに対応するインナリード 1 a とを電氣的に接続する複数のワイヤ（金属ワイヤ） 4 と、インナリード 1 a に繋がり、かつ封止体 3 の外部に露出する幅広のアウタリード 1 b とを有しており、封止体 3 の外側のアウタリード 1 b に、図 1 に示すようにアウタリード 1 b の引き出し方向に細長く延在する複数のスリット 1 c が形成されている。

【0025】

このスリット 1 c は、MOSFET 6 実装後にアウタリード 1 b に熱応力などによってリードストレスが掛かった際に、このリードストレスを緩和させるものである。

【0026】

すなわち、本実施の形態の MOSFET 6 では、アウタリード 1 b にその引き出し方向に細長く延在する複数のスリット 1 c が形成されていることにより、アウタリード 1 b の剛性を小さくできるとともに、リード引き出し方向に平行な方向にかかるリードストレスを分散して緩和させることができる。

【0027】

また、本実施の形態の MOSFET 6 では、アウタリード 1 b に、曲げ成形による曲げ部 1 d が形成されており、図 2 に示すようにアウタリード 1 b はガルウイング状に形成されている。

【0028】

これにより、リード引き出し方向に平行な方向にかかるリードストレスを緩和させることができる。

【0029】

さらに、各スリット 1 c は曲げ部 1 d に形成されており、曲げ部 1 d とスリット 1 c とでリードストレスを十分に吸収し、リードストレスを緩和させることができる。

【0030】

なお、各スリット 1 c は、アウタリード 1 b のみに形成されていることが好ましい。すなわち、封止体 3 の側壁の外側のアウタリード 1 b のみにスリット 1 c

を設けることにより、樹脂モールドイング時に封止用樹脂はスリット 1 c 内に流れ込まないため、スリット 1 c 内に封止用樹脂が配置されず、組み立て後にレジン異物として脱落することを防止できる。

【0031】

その結果、MOSFET 6 の実装時の前記レジン異物などによる実装不良の発生を低減することができ、MOSFET 6 の製造コストを低減することができるとともに、実装における信頼性の低下を防ぐことができる。

【0032】

本実施の形態の MOSFET 6 では、ヒートシンク 5 の上面 5 a には MOS-C チップ 7 と FET チップ 2 と伝送線路基板 8 とが搭載されている。

【0033】

また、封止体 3 から外部に突出し、かつ対向して配置されたアウトリード 1 b のうち、一方のアウトリード 1 b が入力側すなわちゲート電極であり、他方が出力側すなわちドレイン電極であり、さらに、ヒートシンク 5 が GND 電位すなわちソース電極となっており、図 4 に示すように MOSFET 6 の実装時には、ヒートシンク 5 の裏面 5 b をはんだ 11 を介してラジエータ 9 などと GND 接続する。

【0034】

また、封止体 3 内において、ゲート側のインナリード 1 a は、MOS-C チップ 7 とワイヤ 4 によって電氣的に接続され、また、MOS-C チップ 7 は FET チップ 2 とともにワイヤ 4 で電氣的に接続されている。さらに、FET チップ 2 は、伝送線路基板 8 とともにワイヤ 4 で電氣的に接続され、伝送線路基板 8 はドレイン側のインナリード 1 a とともにワイヤ 4 で電氣的に接続されている。

【0035】

したがって、MOS-C チップ 7 には、入力側（ゲート側）の整合回路が形成されており、一方、伝送線路基板 8 にはインピーダンスロスも考慮された出力側（ドレイン側）の整合回路が形成されている。

【0036】

図 5、図 6 に示すように、伝送線路基板 8 は、ベースが高誘電率のセラミック

基板 8 c であり、その表面に大きな面積の Al (アルミニウム) 電極 8 a が形成され、さらにその反対側の面には、AuSn などからなる GND 端子 8 b が形成されており、マイクロストリップライン構造のものである。

【0037】

なお、伝送線路基板 8 の誘電率は、例えば、 $\epsilon = 3.8$ または $\epsilon = 1.40$ などである。

【0038】

また、ヒートシンク 5 は、例えば、モリブデンあるいはタングステンなどを含む銅合金によって形成されている。

【0039】

さらに、封止体 3 は、例えば、エポキシ系樹脂などの樹脂モールドイング可能な封止用樹脂を用いて形成されており、例えば、誘電率 $\epsilon = 4$ 程度のものである。

【0040】

次に、本実施の形態の MOSFET 6 の実装構造について説明する。

【0041】

図 3 および図 4 は、本実施の形態の MOSFET 6 をプリント配線基板などの実装基板 10 に実装した状態を示すものであり、例えば、携帯電話機の基地局などに実装する場合、MOSFET 6 のヒートシンク 5 が基地局アンプのラジエータ 9 にはんだ 11 を介して接続され、さらに、ゲート側とドレイン側のアウトリード 1 b それぞれがラジエータ 9 上に配置された実装基板 10 の銅箔などからなる配線 10 a に、はんだ 12 によって接続される。

【0042】

なお、実装基板 10 の MOSFET 6 のアウトリード 1 b と接続する配線 10 a ではストリップラインが形成されている。

【0043】

また、ヒートシンク 5 はラジエータ 9 に対してねじ留めによって固定されていてもよい。さらに、図 3 に示すように、実装基板 10 上には、MOSFET 6 の他にチップコンデンサ 13 などの電子部品が実装されている。

【 0 0 4 4 】

M O S F E T 6 の実装基板 1 0 への実装時には、はんだ付けの熱ストレスが印加され、さらに実際の基地局での実装状態では O N / O F F や気温変化による熱ストレスが印加されるが、本実施の形態の M O S F E T 6 では、幅広のアウタリード 1 b にその引き出し方向に対して平行に細長い複数のスリット 1 c が形成されているため、アウタリード 1 b の面積が減ってアウタリード 1 b の剛性を小さくできるとともに、リードに対する熱ストレス（リードストレス）を分散させることができ、熱ストレスを緩和することができる。

【 0 0 4 5 】

さらに、アウタリード 1 b にガルウィング状の曲げ部 1 d が形成されており、この曲げ部 1 d にスリット 1 c が形成されているため、幅広のアウタリード 1 b であっても曲げ部 1 d が撓んでリードストレスを吸収できる。

【 0 0 4 6 】

したがって、リードフレームを緩和してリードストレスによる M O S F E T 6 内部でのワイヤ切断などを低減することができ、M O S F E T 6 の信頼性の向上を図ることができる。

【 0 0 4 7 】

また、本実施の形態の M O S F E T 6 では、図 1 に示すように、スリット 1 c によって分割された複数の個片アウタリード 1 f それぞれの先端において、隣接する個片アウタリード 1 f 同士が接続されている。

【 0 0 4 8 】

すなわち、各アウタリード 1 b においてスリット 1 c により分割された複数の個片アウタリード 1 f それぞれの先端が繋がった状態となっている。これにより、個片アウタリード 1 f がばらけずに 1 つのアウタリード 1 b として一体の形状を保てるため、コプラナリティ（リード先端の高さのばらつき）の低下を防ぐことができる。

【 0 0 4 9 】

その結果、パッケージ組み立てなどの工程間搬送においてコプラナリティが低下することを防げるとともに、携帯電話機の基地局などで実装する際の高精度の

コプラナリティ要求にも対応することができる。

【0050】

また、本実施の形態のMOSFET6は、携帯電話機の基地局などに搭載される場合が多く、したがって、主に0.8～2GHz帯で使用されるが、その際、250W（ワット）クラスの高出力特性が要求される場合がある。そこで、高出力特性を達成させるため、大電流を流せる半導体チップが必要となる。したがって、チップ部の容量が大きくなり、低インピーダンス特性になる。このため、1.5GHz帯以上の用途には、リード端子のインピーダンスを高くする内部整合回路が必要になる。

【0051】

実際の整合回路は、半導体チップ上の酸化膜を介してワイヤ4とアルミニウム（Al）電極またはAu電極とで容量を形成するか、またはストリップライン基板（伝送線路基板8）とパッケージの電極容量を用いて整合回路を形成する。本実施の形態のMOSFET6では、パッケージの電極容量をインナリード1aとヒートシンク5との間隙で形成している。

【0052】

すなわち、本実施の形態のMOSFET6では、図2の拡大図に示すように、金属板であるヒートシンク5とインナリード1aは重なり部分を有しており、両者によって挟まれた領域で静電容量が形成される。なお、本実施の形態のMOSFET6は、樹脂モールドイングによる樹脂封止型のパッケージであるため、樹脂モールドイング時にヒートシンク5とインナリード1aとによって挟まれた領域には封止用樹脂が入り込む。つまり、ヒートシンク5とインナリード1aとによって挟まれた領域には封止体3からなる絶縁体が配置され、この封止体3をインシュレータ（誘電体）として静電容量を形成する。

【0053】

ここで、例えば、セラミックの誘電率（ ϵ ）は、約10であるが、封止用樹脂の誘電率（ ϵ ）は、約4である。したがって、本実施の形態のMOSFET6のように、樹脂封止型のパッケージでセラミックパッケージと同等のパッケージ容量を形成するためには、インナリード1aとヒートシンク5との間隔をセラミッ

クパッケージの場合の約40%にするか、もしくはインナリード1aの面積を約2.5倍にする必要がある。

【0054】

そこで、本実施の形態のMOSFET6では、インナリード1aのワイヤ接続領域に可能な限り有効な領域（孔が形成されていない領域）を有することが好ましく、したがって、MOSFET6では、インナリード1aのワイヤ接続領域にはスリット1cを設けないことにより、必要な静電容量を確保している。

【0055】

次に、本実施の形態のMOSFET6において、ヒートシンク5とインナリード1aとの間に間隔を形成する方法について説明する。

【0056】

MOSFET6において容量を形成するためにはインナリード1aとヒートシンク5との間に間隔を保つことが必要である。

【0057】

そこで、本実施の形態のMOSFET6では、図2に示すように、ヒートシンク5の上面5aの対向する2辺の端部に上面5aより凹んだ凹部5cを設け、この凹部5cの上に所定の間隔をおいてインナリード1aの一端が配置されている。

【0058】

すなわち、ヒートシンク5のインナリード1aと重なる箇所にその上面5aより凹んだ凹部5cを形成することにより、ヒートシンク5とインナリード1aとの間に所望の間隔が形成される。

【0059】

なお、MOSFET6の組み立てにおいて、リードフレーム1段階で、インナリード1aと同一の高さに配置されたリードフレーム1の金属板吊り部1eとヒートシンク5の上面5aとを接合することにより、組み立て後のMOSFET6では、図31に示すようにヒートシンク5を支持する金属板吊り部1eと各インナリード1aとが同一高さに配置されている。

【0060】

つまり、本実施の形態のMOSFET 6では、各インナリード1 aおよび各金属板吊り部1 eに曲げ成形が行われていないため、各インナリード1 aおよび各金属板吊り部1 eが同一高さに配置され、各インナリード1 aとヒートシンク5との間に凹部5 cの深さに相当する間隔が形成されることになる。

【0 0 6 1】

これに対して、図3 2は変形例のMOSFET 6の構造を示すものであり、ヒートシンク5と金属板吊り部1 eとの間にスペーサ部材1 8を介在させることにより、ヒートシンク5と各インナリード1 aとの間にスペーサ部材1 8の厚さに相当する間隔を形成するものである。

【0 0 6 2】

また、図3 3に示す変形例のMOSFET 6は、金属板吊り部1 eに曲げ成形を行ってヒートシンク5とインナリード1 aとの間に所望の間隔を形成するものである。

【0 0 6 3】

図3 2に示す変形例のスペーサ部材1 8を使用した構造では、スペーサ部材1 8の表裏両面でそれぞれ金属板吊り部1 eとヒートシンク5とに接続することになる。その際、接続は、例えば、銀ロウ付けで行うため、ヒートシンク5と金属板吊り部1 eとの距離の公差が大きくなる。つまり、ヒートシンク5と金属板吊り部1 eとの距離に対して、スペーサ部材1 8の表裏2箇所銀ロウ付けの厚さ公差が大きく影響するとともに、スペーサ部材1 8そのものの厚さ公差も影響する。

【0 0 6 4】

これに対して、図3 1に示す本実施の形態のMOSFET 6の構造では、ヒートシンク5と金属板吊り部1 eとを直接銀ロウ付けなどで接続している。この場合、銀ロウ付けがパッケージ厚さ方向に対して1箇所であり、かつスペーサ部材1 8を介在させないため、金属板吊り部1 eとヒートシンク5との距離のばらつきを、スペーサ部材1 8を用いた図3 2に示す構造に比較して非常に小さくできる。

【0 0 6 5】

ここで、MOSFET 6における金属板吊り部 1 e とヒートシンク 5 との距離のばらつきの影響について説明する。

【0066】

図 26 および図 27 は、樹脂モールドイング時のレジンバリ 14 の発生状態を示したものであり、本実施の形態の MOSFET 6 では、金属板吊り部 1 e とヒートシンク 5 との距離のばらつきがレジンバリ 14 の発生量に対して影響を及ぼす。

【0067】

すなわち、図 28 に示すように、樹脂モールドイング工程において、モールド金型の上型 15 と下型 16 とでリードフレーム 1 およびヒートシンク 5 をクランプした際、上型 15 のクランプ面 15 a をモールド基準 (P) として、下型 16 のクランプ面 16 a によってアウトリード 1 b の裏面 1 g とヒートシンク 5 の裏面 5 b を一緒にクランプしなければならない。この時、クランプ面 16 a とアウトリード 1 b の裏面 1 g もしくはキャビティ面 16 b とヒートシンク 5 の裏面 5 b との間に隙間が形成されていると、図 26 および図 27 の比較例に示するようなアウトリード表面のレジンバリ 14 もしくはヒートシンク裏面のレジンバリ 14 が発生することになる。レジンバリ 14 は、ミクロンオーダーの薄膜状のバリである。

【0068】

そこで、下型 16 のクランプ面 16 a とアウトリード 1 b の裏面 1 g との間、およびキャビティ面 16 b とヒートシンク 5 の裏面 5 b との間に隙間を生じないようにするためには、金型クランプ時に、それぞれアウトリード 1 b とヒートシンク 5 を数 μm ～数十 μm 押さえ潰す必要があり、アウトリード 1 b の厚さを (T)、ヒートシンク 5 の厚さを (L) とすると、モールド基準 (P) からアウトリード 1 b の裏面 1 g までの距離に対応した金型上の距離 BL は、(T) より僅かに小さく設定する必要がある、また、モールド基準 (P) からヒートシンク 5 の裏面 5 b までの距離に対応した金型上の距離 BH は、(T+L) より僅かに小さく設定する必要がある。

【0069】

すなわち、前記関係において、金属板吊り部 1 e とヒートシンク 5 との距離のばらつきは、前記距離 B L および前記距離 B H の数値に大きな影響を及ぼすことになり、リード側とヒートシンク側のレジンバリ発生の関係がトレードオフとなって何れかのレジンバリ 1 4 の発生につながる。

【0070】

したがって、図 3 1 に示す本実施の形態の MOS F E T 6 のように、ヒートシンク 5 の上面 5 a に凹部 5 c を形成して金属板吊り部 1 e とヒートシンク 5 とを銀ロウ付けなどで直接接合する構造は、金属板吊り部 1 e とヒートシンク 5 との距離のばらつきを低減できるため、図 2 6 に示すようなレジンバリ 1 4 の発生を低減することができ、その結果、MOS F E T 6 を低コストで製造することができる。

【0071】

さらに、レジンバリ 1 4 の発生を低減できるため、MOS F E T 6 の実装時のレジンバリ 1 4 による実装不良を低減することができ、MOS F E T 6 の信頼性を向上させることができる。

【0072】

なお、図 3 3 に示す変形例の MOS F E T 6 では、金属板吊り部 1 e に曲げ成形を行っているため、図 2 8 に示す上型 1 5 のヒートシンク 5 を押さえ付けるクランプ部 1 5 b と金属板吊り部 1 e とを挟む箇所に段差が生じるため、レジンバリ 1 4 の発生ポテンシャルが増える。

【0073】

したがって、図 3 1 に示す本実施の形態の MOS F E T 6 のように、ヒートシンク 5 の上面 5 a の端部に凹部 5 c を形成することによりインナリード 1 a とヒートシンク 5 との間に所望の間隔を形成しつつ、金属板吊り部 1 e とヒートシンク 5 とを銀ロウ付けなどで直接接合する構造にすることが好ましい。

【0074】

ただし、図 3 2 の変形例に示すスペーサ部材 1 8 を介在させる構造や図 3 3 の変形例に示す金属板吊り部 1 e に曲げ成形を行う構造であっても、アウトリード 1 b にスリット 1 c を設けることにより、あるいはアウトリード 1 b に曲げ部 1

dとスリット1cとを設けることにより、図31に示すMOSFET6と同様に、リードストレスを緩和してMOSFET6の信頼性の向上を図る効果は得ることができる。

【0075】

また、図1、図2および図31に示す本実施の形態のMOSFET6は、従来のセラミックパッケージに比較して、樹脂封止型であること、銀ロウ付けの箇所を低減できること、リードをセラミック板に銀ロウ付けしない構造上材料コストの高いヒートシンク5を小さくできることなどにより、パッケージコストを低減することができる。

【0076】

さらに、樹脂封止型であるため、従来のセラミックパッケージで行われている気密テストや異物封入テストを行わなくて済むため、MOSFET6の組み立てコストの低減化を図ることができる。

【0077】

次に、本実施の形態のMOSFET6の製造方法について説明する。

【0078】

まず、図7～図9に示すヒートシンク5を準備する。

【0079】

なお、ヒートシンク5には、その上面5aの長手方向の対向する2辺の端部に凹部5cが形成されている。ヒートシンク5は、Si（シリコン）と熱膨張係数が近く、放熱性の良い金属材料、例えば、銅－タングステン合金や銅－モリブデン合金などの材料によって形成されていることが好ましく、切削あるいはプレス加工などによって形成される。また、ヒートシンク5にはその表面にニッケルめっきが施されている。

【0080】

その後、図10～図12に示すリードフレーム1を準備する。

【0081】

リードフレーム1は、複数のインナリード1aおよびアウトリード1b、2つの金属板吊り部1e、およびこれらを連結する枠部1hを有している。

【0082】

なお、ここで準備するリードフレーム 1 には、予めアウトリード 1 b に複数のスリット 1 c が形成されている。さらに、図 11 および図 12 に示すようにリードフレーム 1 には曲げが形成されておらず、平坦な板状のものである。

【0083】

また、リードフレーム 1 は、ヒートシンク 5 と熱膨張係数が近いコバールを含む合金や鉄-ニッケル合金などの材料により、エッチングまたはプレス加工で形成されたものであり、表面に、例えば、ニッケルめっきなどが施されている。

【0084】

その後、リードフレーム 1 とヒートシンク 5 とを接合して図 13～図 15 に示すシステム構造を形成する。

【0085】

その際、リードフレーム 1 の金属板吊り部 1 e とヒートシンク 5 の上面 5 a とを銀ろう付けによって接合し、さらに、下地めっきとして、例えば、ニッケルめっきを施すとともに、表面めっきとして金めっきを施す。

【0086】

その後、図 16 に示すヒートシンク 5 へのチップ搭載であるダイボンディングを行う。

【0087】

ここでは、例えば、約 430℃で加熱し、AuSi 共晶によってMOS-Cチップ 7 と FET チップ 2 をヒートシンク 5 の上面 5 a に接続する。

【0088】

その後、図 17 に示す伝送線路基板 8 の搭載を行う。

【0089】

ここでは、例えば、約 330℃で加熱し、AuSn 付けによって伝送線路基板 8 をヒートシンク 5 の上面 5 a に接続する。

【0090】

その後、図 18 に示すワイヤボンディングを行う。

【0091】

例えば、アルミニウムのワイヤ4を用いて、常温での超音波ボンディングによってワイヤボンディングを行う。その際、ワイヤ4によってインナリード1aとMOS-Cチップ7とを接続し、さらにMOS-Cチップ7とFETチップ2とをワイヤ4で接続し、さらにFETチップ2と伝送線路基板8とをワイヤ4で接続し、さらに伝送線路基板8とインナリード1aとをワイヤ4で接続する。

【0092】

その後、ワイヤ4の接続状態などを実体顕微鏡によって検査する。

【0093】

その後、図19に示すように、例えば、誘電率 $\epsilon = 4$ 程度のエポキシ樹脂などを用いてトランスファーマールドによって樹脂モールドイングを行い、封止体3を形成する。

【0094】

その際、リードフレーム1が平坦であり、かつ金属板吊り部1eとヒートシンク5とを銀ろう付けなどで直接接合する構造であるため、金属板吊り部1eとヒートシンク5との距離のばらつきを低減でき、その結果、図26に示すようなレジバリ14の発生を低減することができる。

【0095】

その後、レーザなどを用いてマーキングを行い、図22に示すような封止体3の表面に製品型番やロット番号などのマーク17を付す。

【0096】

その後、図20および図21に示すようにリード切断を行う。

【0097】

ここでは、リードフレーム1の枠部1hを切断して枠部1hからアウトリード1bと金属板吊り部1eを分離する。

【0098】

その後、図29および図30に示すような測定基板19上にMOSFET6を装着してMOSFET6の特性選別検査を行う。

【0099】

測定基板19上には、GNDパターン19aと、入力信号パターン19bと、

出力信号パターン 19 c とが形成され、GND パターン 19 a はスルーホール 19 d を介して基板裏面に配置されたラジエータ 9 と GND 接続されている。

【0100】

また、測定基板 19 上には、チップ抵抗 23、セラミックコンデンサ 24、電解コンデンサ 25、貫通コンデンサ 26 およびエアトリマーコンデンサ 27 などの電子部品が搭載されている。なお、入力信号パターン 19 b は、同軸ケーブル 21 を介して RF 入力コネクタ 20 と接続され、一方、出力信号パターン 19 c は、同軸ケーブル 21 を介して出力コネクタ 22 と接続されている。

【0101】

また、ゲート側は、入力信号パターン 19 b がチップコンデンサ 13、エアトリマーコンデンサ 27、チップ抵抗 23 および貫通コンデンサ 26などを介してゲートバイアス (VGG) 電源 E に接続され、ドレイン側は、出力信号パターン 19 c がチップコンデンサ 13、エアトリマーコンデンサ 27 および貫通コンデンサ 26などを介してドレインバイアス (VDD) 電源 F に接続されている。

【0102】

このような測定基板 19 において、ゲート側のアウタリード 1 b と入力信号パターン 19 b とが電氣的に接続し、かつ、ドレイン側のアウタリード 1 b と出力信号パターン 19 c とが電氣的に接続するように MOSFET 6 を装着し、特性選別検査を行う。

【0103】

その際、各アウタリード 1 b が入力信号パターン 19 b や出力信号パターン 19 c から離れないように、図 30 に示すように、押圧板 28 によってリード押さえ部材 29 を介して各アウタリード 1 b を押圧する。押圧板 28 は、例えば、アクリルなどによって形成され、リード押さえ部材 29 は、例えば、シリコーンゴムなどによって形成されている。

【0104】

本実施の形態の MOSFET 6 では、各アウタリード 1 b に複数の細長いスリット 1 c が形成されているため、各アウタリード 1 b の剛性が小さくなっており、したがって、リード押さえ部材 29 から押圧された際の各アウタリード 1 b の

リードストレスを緩和することができ、アウトリード 1 b と入力信号パターン 1 9 b および出力信号パターン 1 9 c との密着度を向上することができる。

【0105】

その結果、測定の精度を向上させることができる。

【0106】

さらに、特性選別検査の段階では、各アウトリード 1 b には曲げが形成されておらず平坦であるため、各アウトリード 1 b と入力信号パターン 1 9 b および出力信号パターン 1 9 c との接触を良好にすることができ、測定誤差を少なくすることができる。

【0107】

前記特性選別検査後、図 2 2 および図 2 3 に示すように、各アウトリード 1 b にガルウィング状の曲げ成形を行って曲げ部 1 d を形成するとともに、図 2 4 および図 2 5 に示すように、金属板吊り部 1 e を切断分離して MOSFET 6 の組み立てを完了する。

【0108】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0109】

例えば、前記実施の形態では、各アウトリード 1 b に予めスリット 1 c が形成されたリードフレーム 1 を準備して MOSFET 6 を組み立てる場合を説明したが、スリット 1 c は、少なくとも特性選別検査の前に形成されていればよく、特性選別検査時にスリット 1 c が形成されていることにより、特性選別検査時のリードストレス緩和の効果を得ることができる。

【0110】

また、少なくとも曲げ部 1 d を形成する前にスリット 1 c を形成することにより、各アウトリード 1 b の剛性が小さくなるため、アウトリード 1 b の曲げ成形の際に、各リードの曲げを容易に行うことができる。

【0111】

ただし、アウトリード 1 b のスリット 1 c は、リードフレーム 1 の形成時に形成することが好ましい。

【 0 1 1 2 】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【 0 1 1 3 】

複数のリードそれぞれにおける封止体の外側に、リードの引き出し方向に細長く延在するスリットが形成されているため、リードの剛性が小さくなり、リードに応力が掛かった際のリードストレスを緩和することができる。その結果、半導体装置の信頼性の向上を図ることができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態の半導体装置の構造の一例を示す斜視図である。

【図 2】

図 1 の A - A 線に沿って切断した断面図と静電容量形成状態を示す部分拡大断面図である。

【図 3】

図 1 に示す半導体装置の基板への実装状態の一例を示す平面図である。

【図 4】

図 3 の A - A 線に沿って切断した断面の構造を拡大して示す部分拡大断面図である。

【図 5】

図 1 に示す半導体装置に搭載される伝送線路基板の構造の一例を示す平面図である。

【図 6】

図 5 に示す伝送線路基板の構造を示す側面図である。

【図 7】

図 1 に示す半導体装置の組み立てに用いられるヒートシンクの構造の一例を示

す平面図である。

【図 8】

図 7 に示すヒートシンクの長手方向の構造を示す側面図である。

【図 9】

図 7 に示すヒートシンクの幅方向の構造を示す側面図である。

【図 1 0】

図 1 に示す半導体装置の組み立てに用いられるリードフレームの構造の一例を示す平面図である。

【図 1 1】

図 1 0 に示すリードフレームの長手方向の構造を示す側面図である。

【図 1 2】

図 1 0 に示すリードフレームの幅方向の構造を示す側面図である。

【図 1 3】

図 1 に示す半導体装置の組み立てにおけるリードフレームとヒートシンクを接合したステム構造の一例を示す平面図である。

【図 1 4】

図 1 3 に示すステム構造の長手方向の構造を示す側面図である。

【図 1 5】

図 1 3 に示すステム構造の幅方向の構造を示す側面図である。

【図 1 6】

図 1 に示す半導体装置の組み立てにおけるダイボンディング後の構造の一例を示す平面図である。

【図 1 7】

図 1 に示す半導体装置の組み立てにおける伝送線路基板搭載後の構造の一例を示す平面図である。

【図 1 8】

図 1 に示す半導体装置の組み立てにおけるワイヤボンディング後の構造の一例を示す平面図である。

【図 1 9】

図 1 に示す半導体装置の組み立てにおける樹脂モールドイング後の構造の一例を示す平面図である。

【図 20】

図 1 に示す半導体装置の組み立てにおけるリード切断後の構造の一例を示す平面図である。

【図 21】

図 20 に示す構造の側面図である。

【図 22】

図 1 に示す半導体装置の組み立てにおけるリード成形後の構造の一例を示す平面図である。

【図 23】

図 22 に示す構造の側面図である。

【図 24】

図 1 に示す半導体装置の組み立てにおける金属板吊り部切断後の構造の一例を示す平面図である。

【図 25】

図 24 に示す構造の側面図である。

【図 26】

比較例の半導体装置の組み立ての樹脂モールドイングによって発生するレジンバリの付着状態の構造を示す平面図である。

【図 27】

図 26 に示すレジンバリのリード表面への付着状態を示す部分拡大平面図である。

【図 28】

図 1 に示す半導体装置の組み立てにおける樹脂モールドイング時の金型クランプ状態の構造の一例を示す断面図である。

【図 29】

図 1 に示す半導体装置の組み立てにおける選別状態の構造の一例を示す平面図である。

【図 3 0】

図 2 9 の A - A 線に沿って切断した断面の構造を示す部分拡大断面図である。

【図 3 1】

図 1 に示す半導体装置におけるインナリードと金属板吊り部の高さの関係を
示す部分断面図である。

【図 3 2】

本発明の変形例の半導体装置におけるインナリードと金属板吊り部の高さの関
係を示す部分断面図である。

【図 3 3】

本発明の変形例の半導体装置におけるインナリードと金属板吊り部の高さの関
係を示す部分断面図である。

【符号の説明】

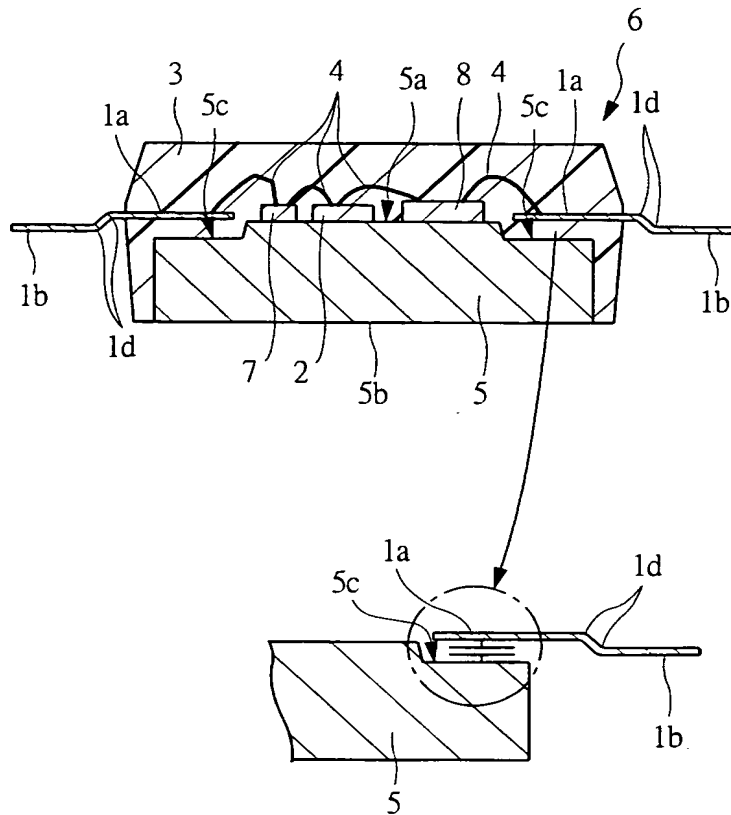
- 1 リードフレーム
 - 1 a インナリード
 - 1 b アウタリード
 - 1 c スリット
 - 1 d 曲げ部
 - 1 e 金属板吊り部
 - 1 f 個片アウタリード
 - 1 g 裏面
 - 1 h 枠部
- 2 F E T チップ
- 3 封止体
- 4 ワイヤ（金属ワイヤ）
- 5 ヒートシンク（金属板）
 - 5 a 上面
 - 5 b 裏面
 - 5 c 凹部
- 6 M O S F E T（半導体装置）

- 7 MOS-Cチップ
- 8 伝送線路基板
 - 8 a A l 電極
 - 8 b GND端子
 - 8 c セラミック基板
- 9 ラジエータ
- 1 0 実装基板
 - 1 0 a 配線
 - 1 1, 1 2 はんだ
 - 1 3 チップコンデンサ
 - 1 4 レジンバリ
 - 1 5 上型
 - 1 5 a クランプ面
 - 1 5 b クランプ部
 - 1 6 下型
 - 1 6 a クランプ面
 - 1 6 b キャビティ面
 - 1 7 マーク
 - 1 8 スペーサ部材
 - 1 9 測定基板
 - 1 9 a GNDパターン
 - 1 9 b 入力信号パターン
 - 1 9 c 出力信号パターン
- 2 0 RF入力コネクタ
- 2 1 同軸ケーブル
- 2 2 出力コネクタ
- 2 3 チップ抵抗
- 2 4 セラミックコンデンサ
- 2 5 電解コンデンサ

- 2 6 貫通コンデンサ
- 2 7 エアトリマーコンデンサ
- 2 8 押圧板
- 2 9 リード押さえ部材

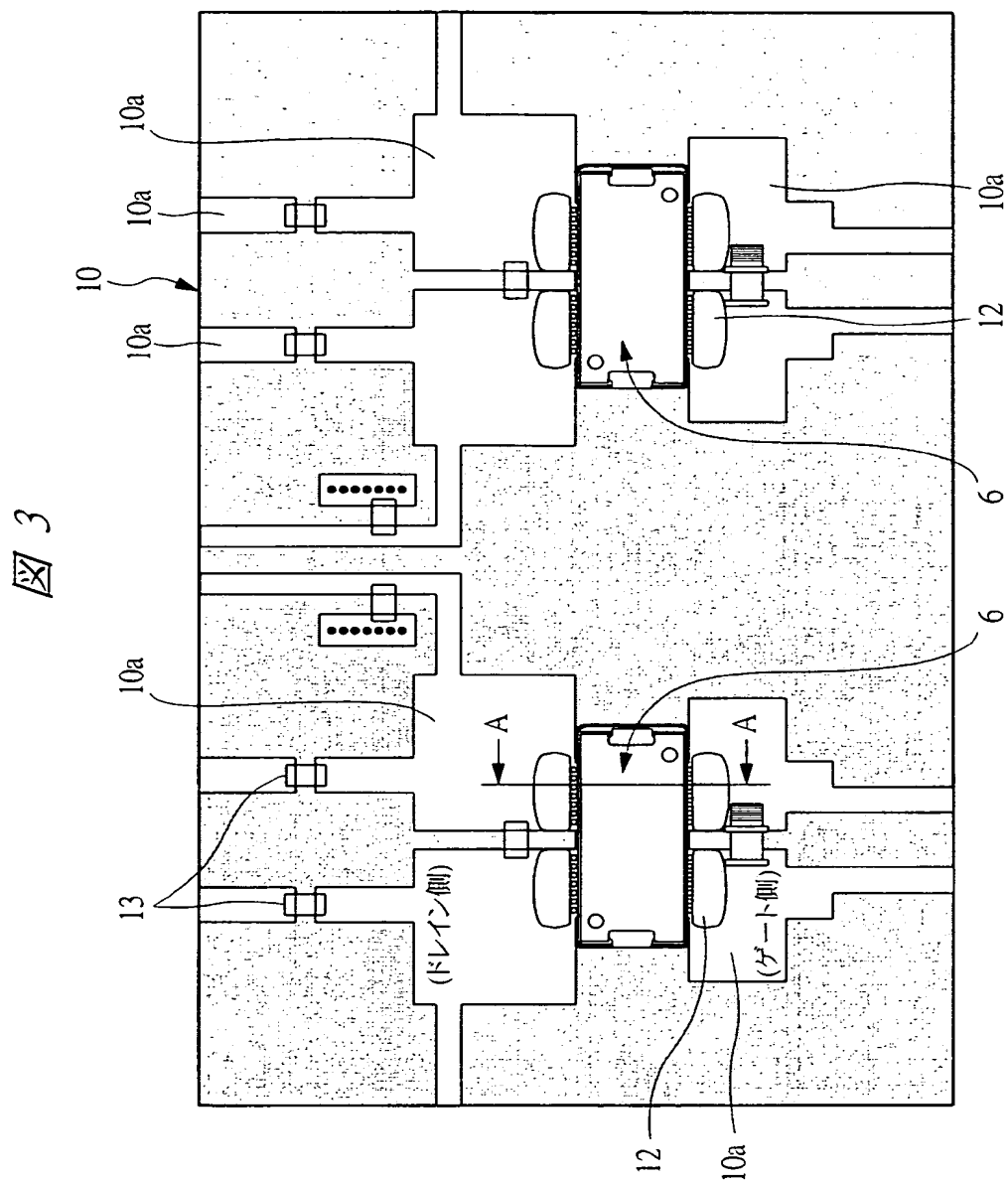
【図 2】

図 2



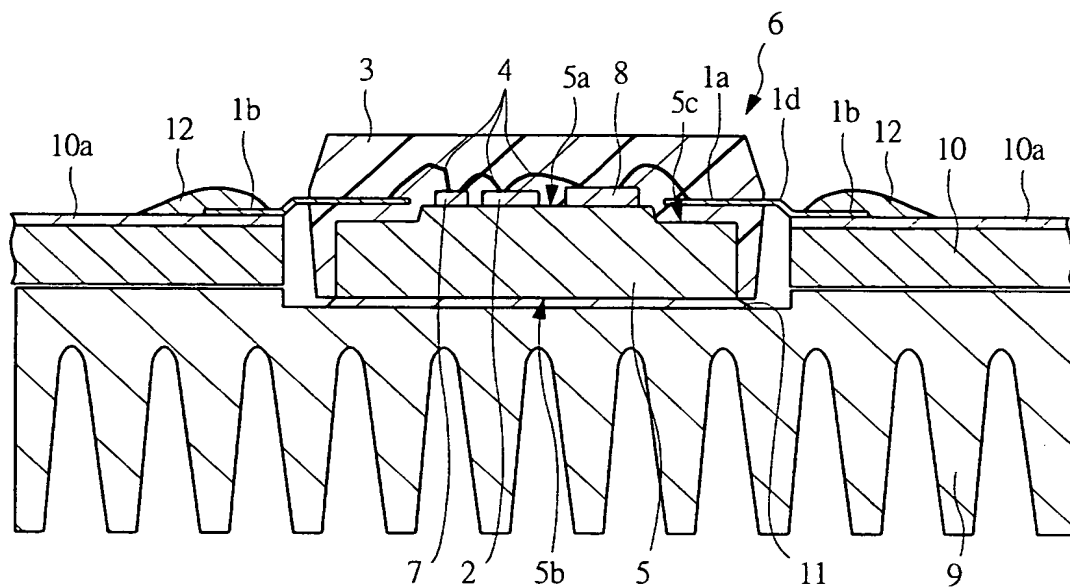
- 1a : インナリード
2 : FETチップ
4 : ワイヤ(金属ワイヤ)
5 : ヒートシンク(金属板)
5c : 凹部
7 : MOS-Cチップ

【図 3】

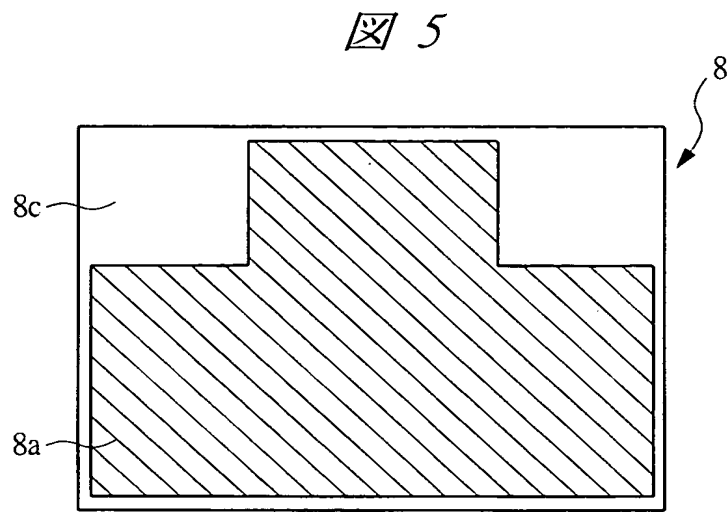


【図 4】

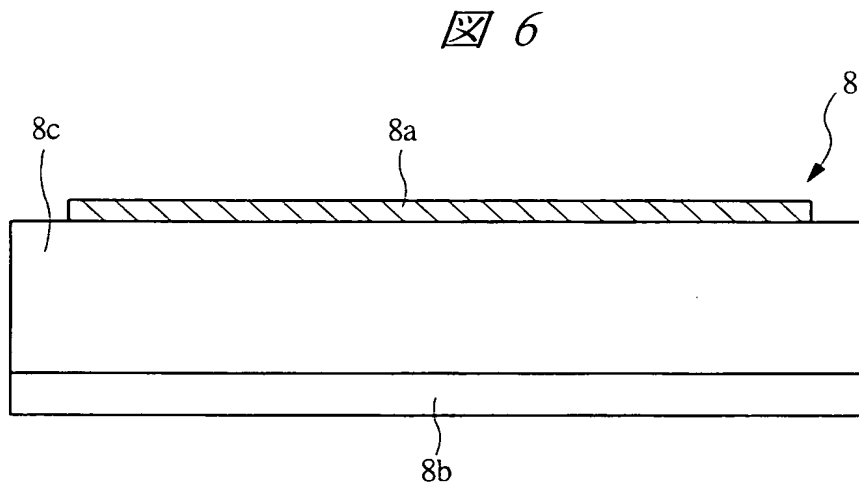
図 4



【図 5】

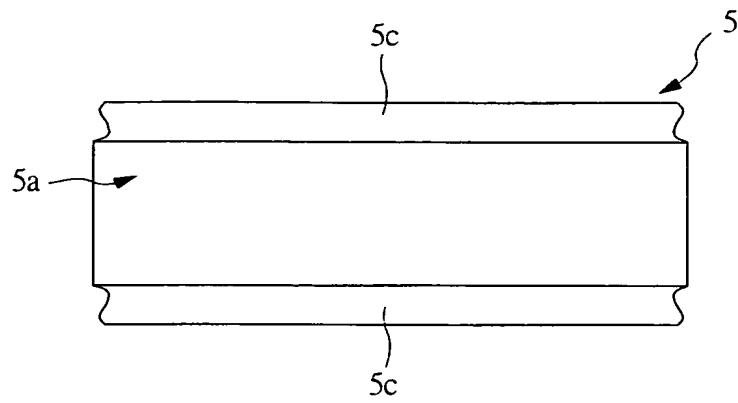


【図 6】



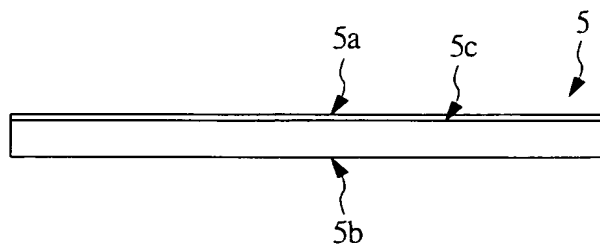
【図 7】

図 7



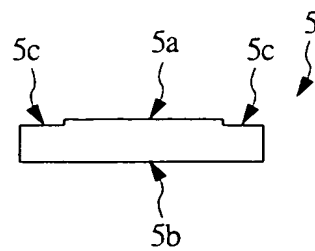
【図 8】

図 8



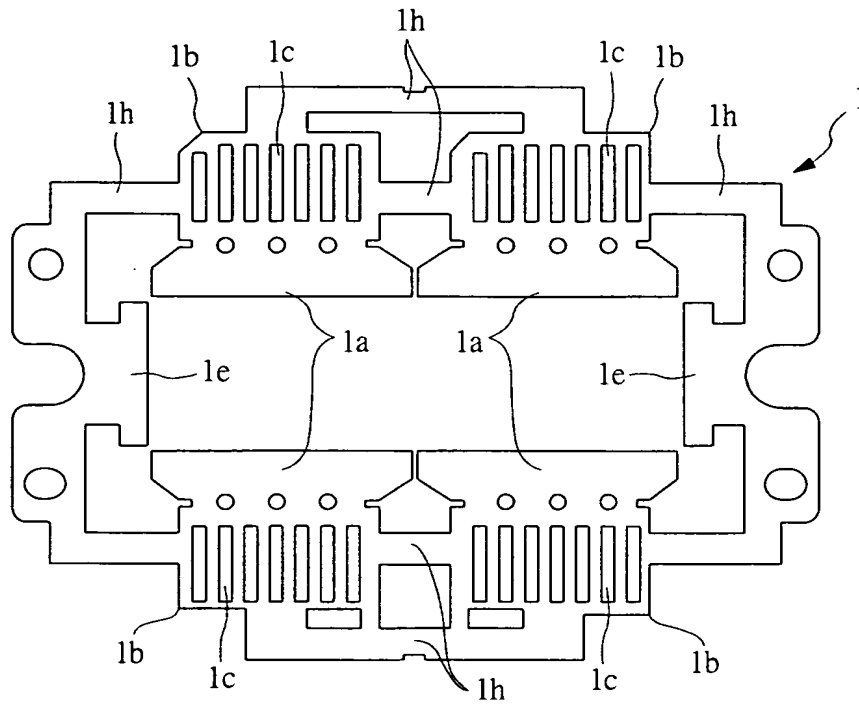
【図 9】

図 9



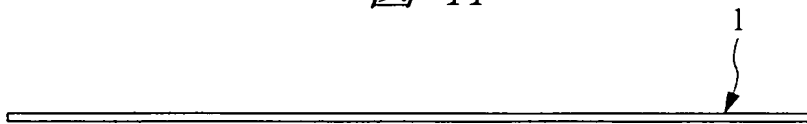
【図 10】

図 10



【図 11】

図 11



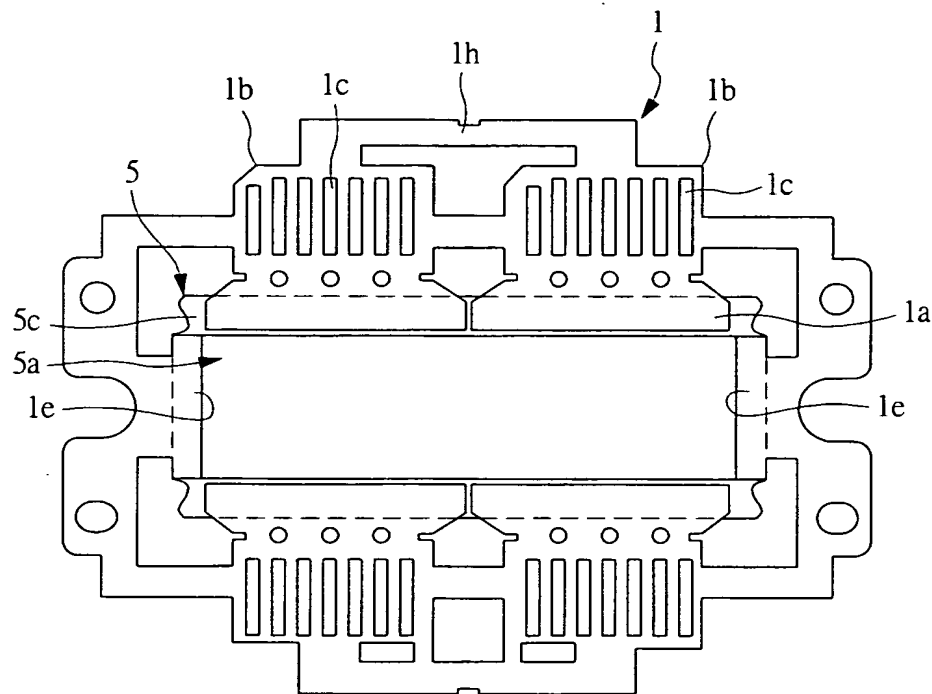
【図 12】

図 12



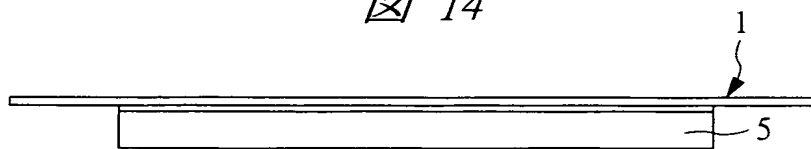
【図 13】

図 13



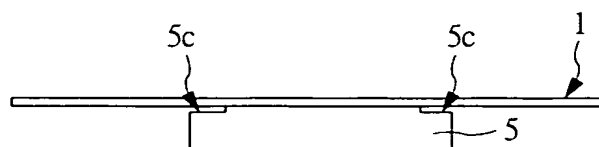
【図 14】

図 14



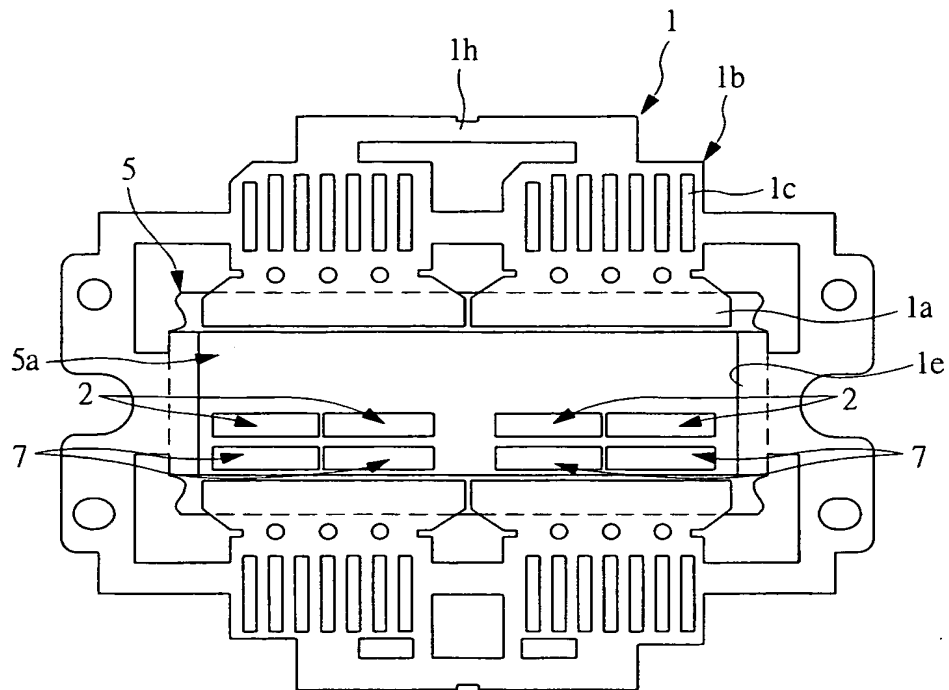
【図 15】

図 15



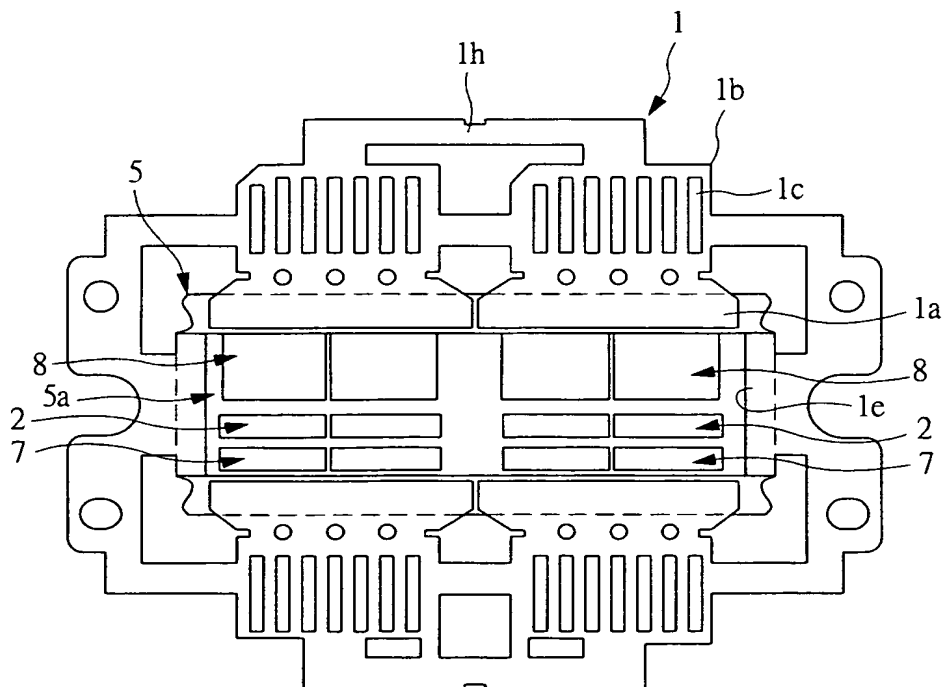
【図 16】

図 16

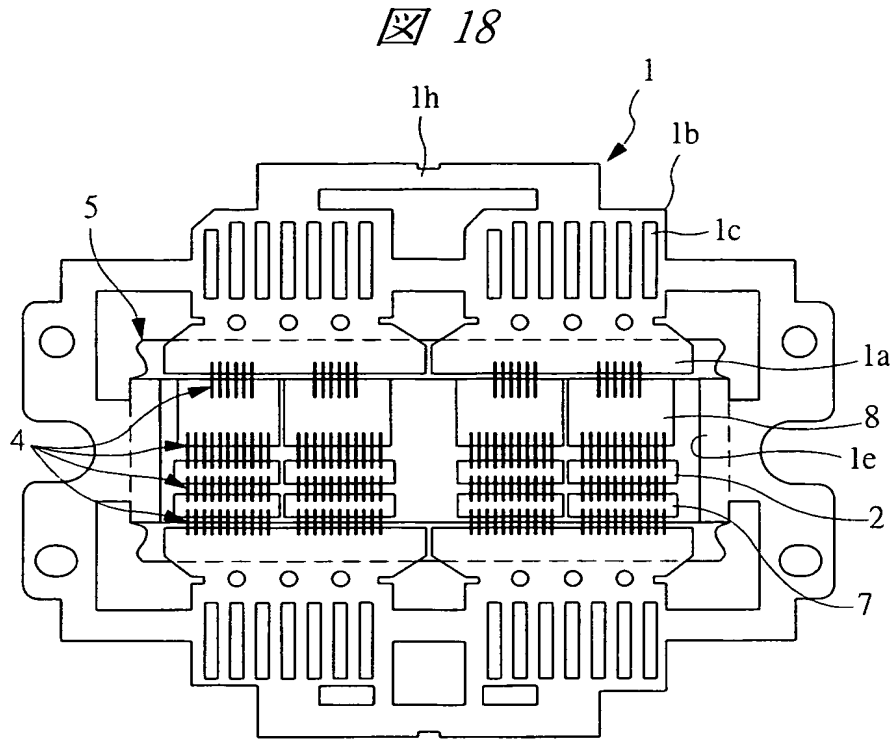


【図 17】

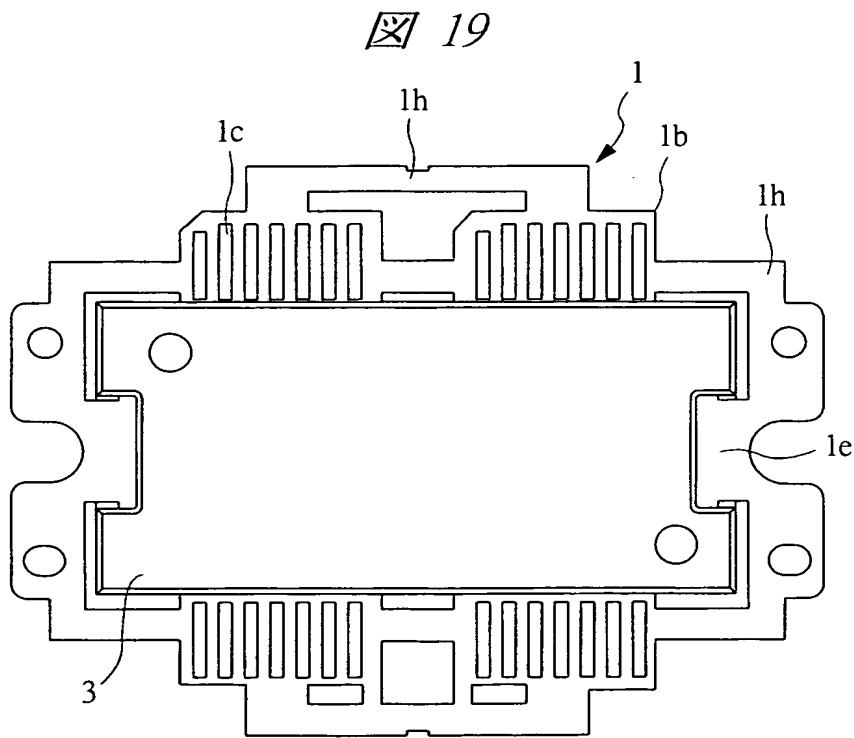
図 17



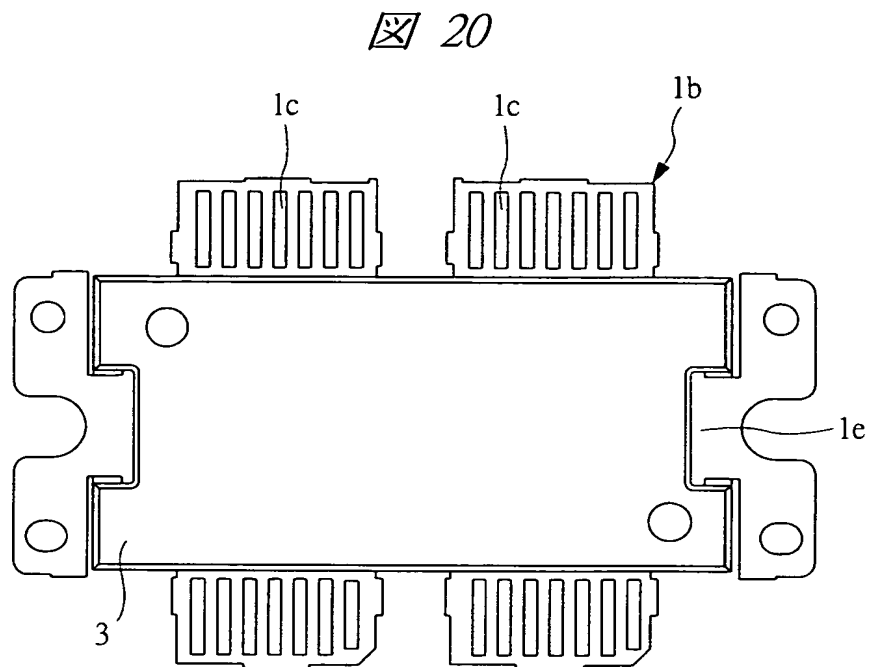
【図 18】



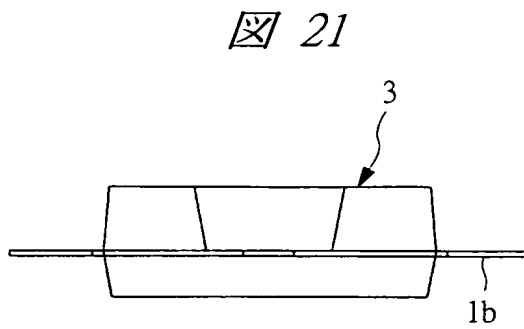
【図 19】



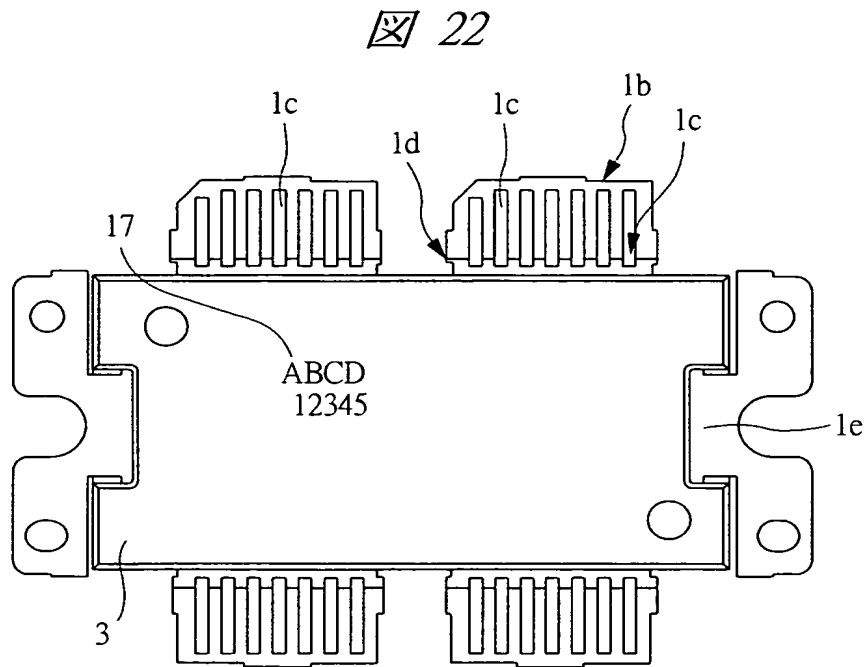
【図 20】



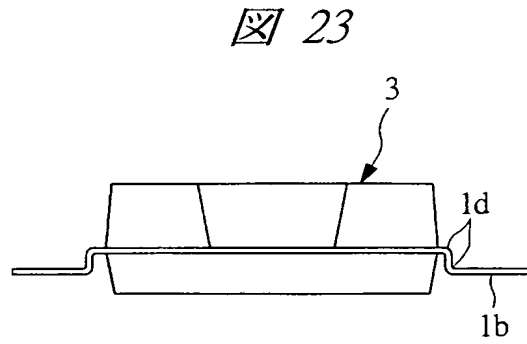
【図 21】



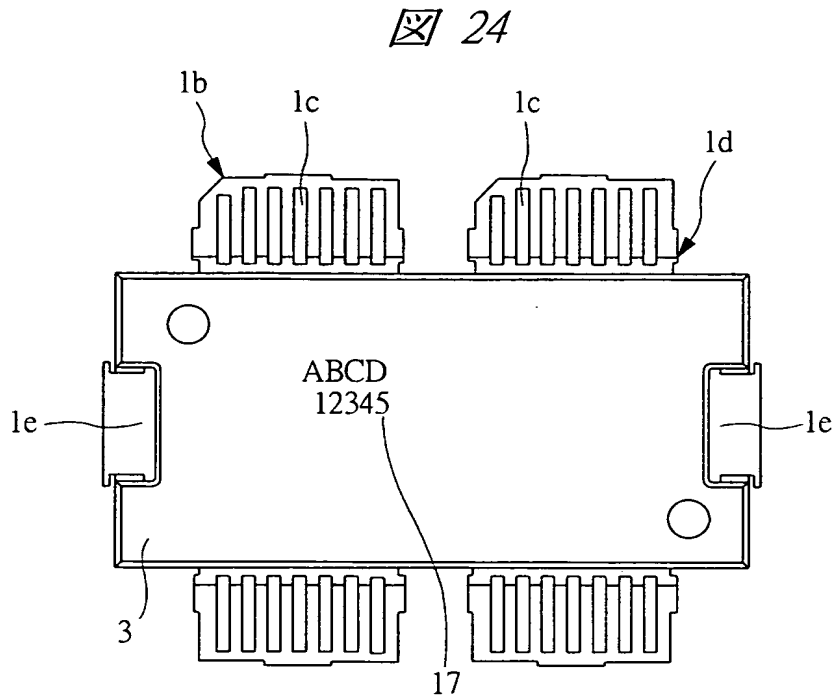
【図 2 2】



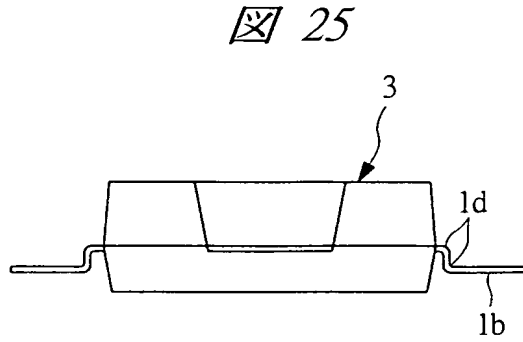
【図 2 3】



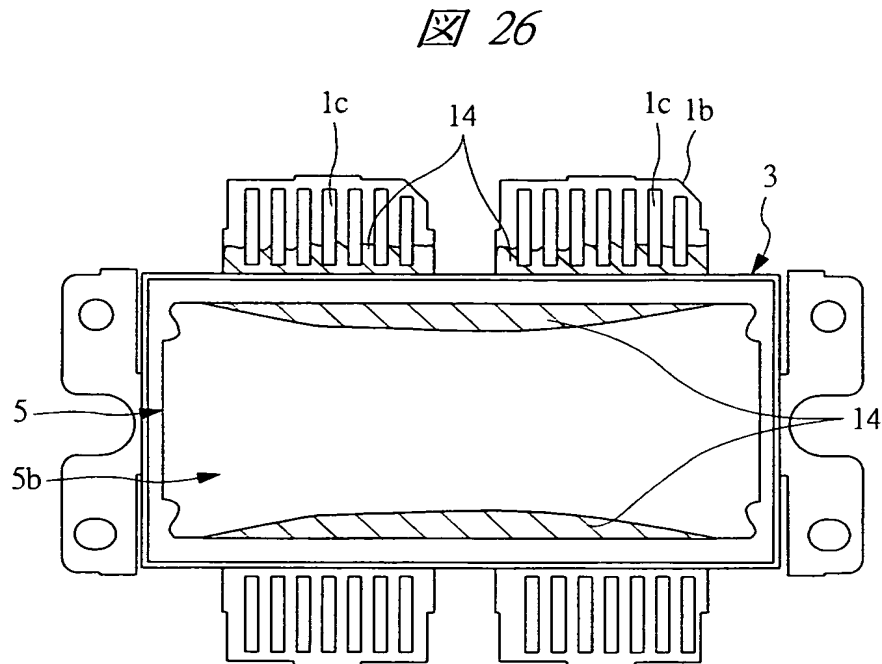
【図 2 4】



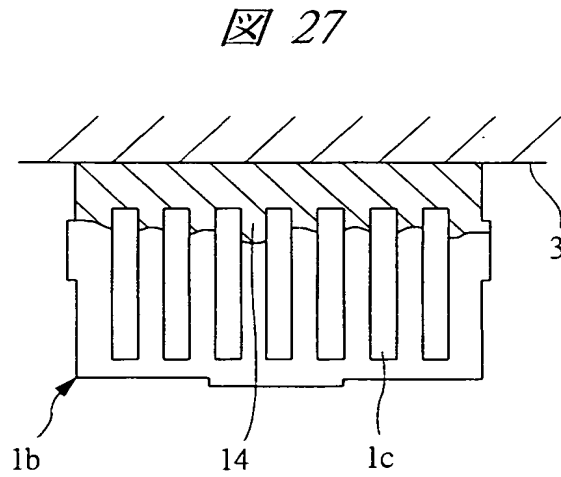
【図 2 5】



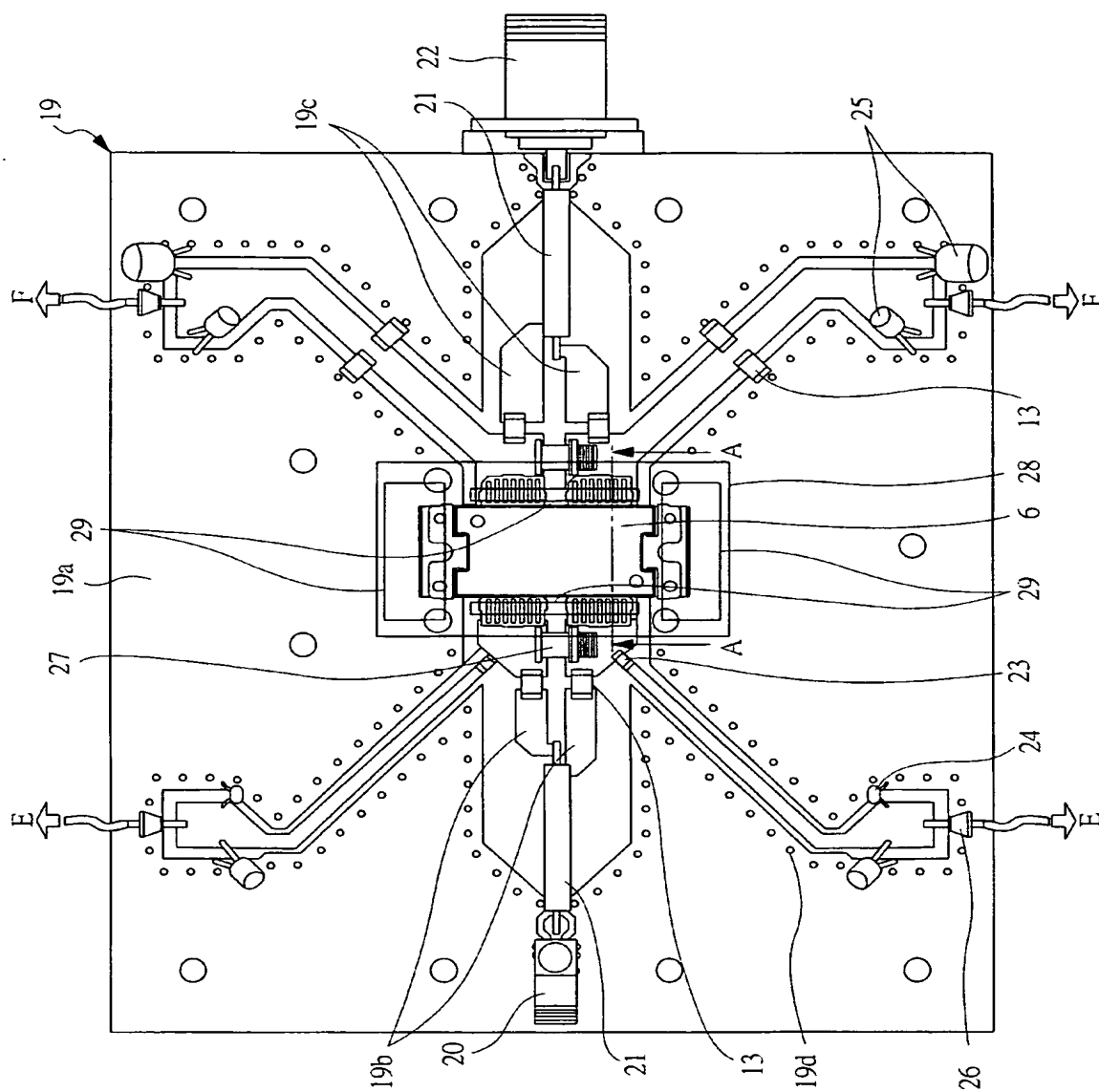
【図 26】



【図 27】



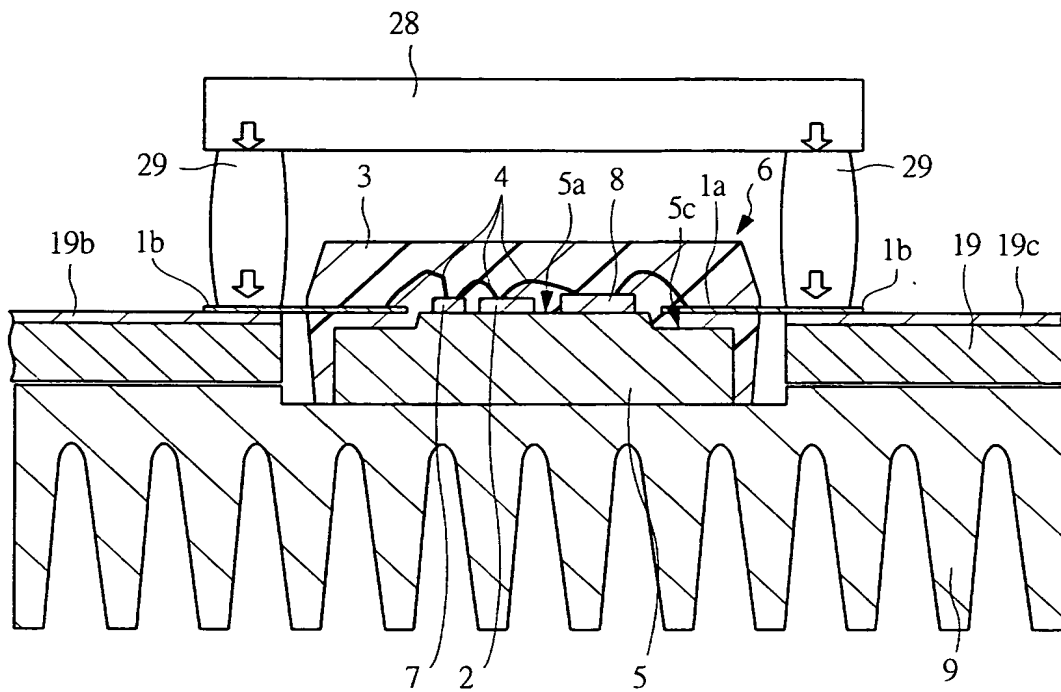
【図 29】



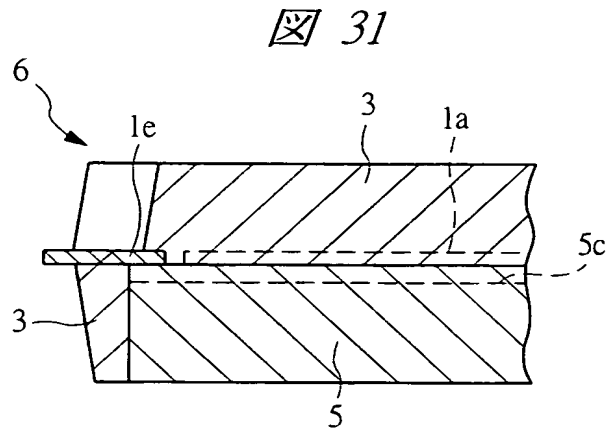
29

【図 30】

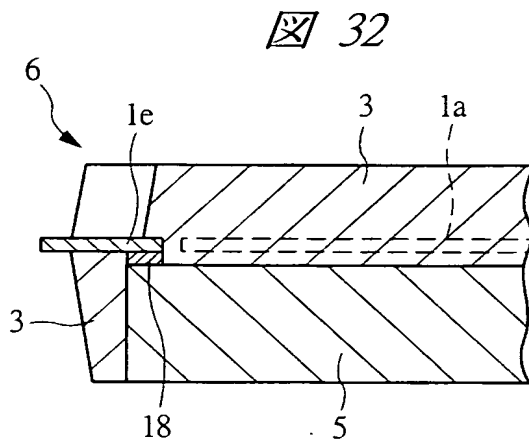
図 30



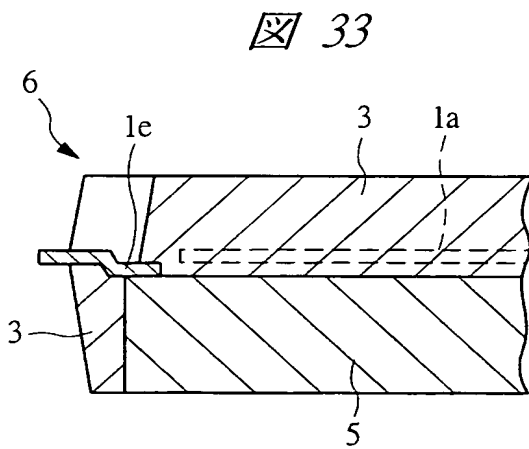
【図 3 1】



【図 3 2】



【図 3 3】



【書類名】 要約書

【要約】

【課題】 信頼性の向上を図る。

【解決手段】 複数の半導体チップが搭載されたヒートシンクと、前記半導体チップと電氣的に接続された複数のインナリードと、前記複数の半導体チップと複数のインナリードとを樹脂封止する封止体 3 と、前記半導体チップの電極とこれに対応する前記インナリードとを電氣的に接続する複数のワイヤと、前記インナリードに繋がり、かつ封止体 3 の外部に露出する幅広のアウタリード 1 b とを有し、封止体 3 の外側のアウタリード 1 b に、アウタリード 1 b の引き出し方向に細長く延在する複数のスリット 1 c が形成されており、これにより、MOSFET 6 実装後にアウタリード 1 b に熱応力などによってリードストレスが掛かった際に、このリードストレスを緩和させることができ、MOSFET 6 の信頼性の向上を図ることができる。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-364686

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【提出物件の目録】

【包括委任状番号】 0308729

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 4 - 7 1 7 6 7 号 同日提出の出願人名
義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 6 4 6 8 6
受付番号	5 0 3 0 1 1 9 4 8 8 5
書類名	出願人名義変更届（一般承継）
担当官	鈴木 夏生 6 8 9 0
作成日	平成 1 5 年 9 月 3 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 7 月 18 日

特願 2 0 0 2 - 3 6 4 6 8 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 3 6 4 6 8 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 2 3 3 5 2 7]

- | | |
|----------|------------------------|
| 1. 変更年月日 | 2 0 0 2 年 1 1 月 1 5 日 |
| [変更理由] | 名称変更 |
| | 住所変更 |
| 住 所 | 東京都青梅市藤橋三丁目 3 番地 2 |
| 氏 名 | 株式会社東日本セミコンダクタテクノロジーズ |
| 2. 変更年月日 | 2 0 0 3 年 4 月 1 8 日 |
| [変更理由] | 名称変更 |
| | 住所変更 |
| 住 所 | 東京都青梅市藤橋三丁目 3 番地 2 |
| 氏 名 | 株式会社ルネサス東日本セミコンダクタ |

特願 2 0 0 2 - 3 6 4 6 8 6

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ